

Jae-hyun KIM Q75787
SYSTEM ON-A-CHIP PROCESSOR.....
Darryl Mexic 202-293-7060
August 5, 2003



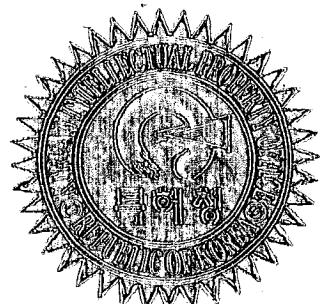
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 52015 호
Application Number PATENT-2002-0052015

출원년월일 : 2002년 08월 30일
Date of Application AUG 30, 2002

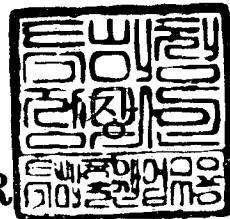
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 23 일

특 허 청

COMMISSIONER



1020020052015

출력 일자: 2002/9/24

【서지사항】

【서류명】

특허출원서

【권리구분】

특허

【수신처】

특허청장

【제출일자】

2002.08.30

【발명의 명칭】

멀티미디어용 시스템온칩 프로세서

【발명의 영문명칭】

System on chip processor for multimedia

【출원인】

【명칭】

삼성전자 주식회사

【출원인코드】

1-1998-104271-3

【대리인】

【성명】

정홍식

【대리인코드】

9-1998-000543-3

【포괄위임등록번호】

2000-046970-1

【발명자】

【성명의 국문표기】

김재현

【성명의 영문표기】

KIM, JAE HYUN

【주민등록번호】

660713-1279311

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 신나무실 풍림아파트
601-1602

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
정홍식 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

4 면 4,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

9 항 397,000 원

【합계】

430,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

3차원 그래픽 처리속도를 향상시킬 수 있는 멀티미디어용 시스템온칩 프로세서가 개시된다. 멀티미디어용 시스템온칩 프로세서는, 외부로부터 수신되는 영상신호를 압축을 위한 압축입력신호로 변환하는 전처리기 회로부, 압축입력신호를 압축하여 압축데이터를 생성하고, 압축데이터를 부호화하는 복부호기 회로부, 부호화된 영상신호를 화상표시장치가 사용할 수 있도록 변환처리하는 후처리기 회로부, 화상표시장치로 출력되는 영상신호의 3차원 그래픽연산을 처리하는 그래픽 가속기, 복부호기 회로부와 접속되는 제1 시스템버스, 전처리기 회로부, 후처리기 회로부, 및 그래픽 가속기와 접속되는 제2 시스템버스, 및 회로부들의 동작을 제어하는 제어부를 포함한다. 제1 시스템버스 및 제2 시스템버스는 브리지 DMA회로부에 의해 상호간의 데이터 송수신이 가능하게 구현된다. 이로써, 멀티미디어용 시스템온칩 프로세서는, 마이크로 프로세서와 독립적으로 그래픽 처리를 수행할 수 있게 되어 전체적인 시스템의 성능을 향상시킬 수 있게 된다.

【대표도】

도 2

【색인어】

멀티미디어용 시스템온칩 프로세서, 지어메트리, 랜더링, 그래픽

【명세서】

【발명의 명칭】

멀티미디어용 시스템온칩 프로세서{System on chip processor for multimedia}

【도면의 간단한 설명】

도 1은 본 발명에 따른 시스템온칩 프로세서의 주요 부분을 도시한 도면, 그리고

도 2는 도 1의 시스템온칩 프로세서의 상세 블록도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 제어부

11 : 마이크로 프로세서

20 : 제2 SDRAM 콘트롤러 회로부

50 : 제1 SDRAM 콘트롤러 회로부

60 : GBUF

70 : 복부호기 회로부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 시스템온칩(System On Chip; SOC) 프로세서에 관한 것으로, 더욱 상세하게는, 멀티미디어용 기기에서 사용할 수 있는 멀티미디어용 시스템온칩에 관한 것이다.

<8> 최근에 멀티미디어 서비스가 다양화됨에 따라, 이러한 서비스를 이용하기 위한 핸드폰, PDA, 디지털 TV, DVDP 등의 멀티미디어용 기기가 등장하고 있으며, 이에 따라 멀티미디어용 프로세서에 대한 관심도 증가하고 있다.

<9> 멀티미디어용 프로세서는 화상처리, LCD(Liquid-Crystal Display)/CRT (Cathode-Ray Tube) 제어, 비디오 코덱(Video CODEC)을 위한 하드웨어 및 주변장치 제어 등의 다양한 기능을 구비하며, 최근에는 가격 및 소형화의 요구에 따라 시스템온칩 프로세서의 형태로 개발되고 있다.

<10> 시스템온칩 프로세서는, 마이크로프로세서, 내장메모리, 복수의 주변기기, 및 외부 버스 인터페이스 등을 하나의 칩안에 적재한 IC를 의미한다. 이러한 시스템온칩 프로세서의 개발로 시스템 사이즈를 축소할 수 있을 뿐만 아니라, 시스템 테스팅 시간이 단축되고, 시스템의 신뢰성을 향상시키며, 상품을 시장에 출시하는 시간도 줄일 수 있게 되었다.

<11> 시스템온칩 프로세서 중에서, 멀티미디어용 시스템온칩 프로세서는 하나의 칩안에 멀티미디어용 기기에서 필요한 여러가지 기능의 수행을 위한 회로가 포함된 것을 말한다. 멀티미디어용 시스템온칩 프로세서의 발전과정에서, 초기에는 DCT (Discrete Cosine Transform)나, ME(Motion Estimator) 같은 단일 기능의 회로가 내장되어 있는 구조에서, SRAM(Static Random Access Memory)이나 부팅 롬(Boot ROM)이 첨가되거나, 나아가서 대용량의 SDRAM(Synchronous Dynamic Random Access Memory)까지 내장된 칩까지 발전하고 있으며, 기술에 발전에 의해 더 많은 부가 기능이 요구되고 있다.

<12> 그런데, 멀티미디어용 시스템온칩 프로세서의 설계과정에서, 전체 프로세서를 설계하는 방식보다는 기존 반도체 회사가 발표한 마이크로프로세서를 코아로 사

용하고, 나머지 필요한 기능의 수행을 위한 회로를 첨가하는 방식이 고려될 수 있다. 즉, x86 또는 68k 등의 CISC(Complex Instruction Set Computer) CPU나 ARMTM 등의 RISC(Reduced Instruction Set Computer) 마이크로프로세서 등을 시스템온칩 프로세서내의 핵심 제어기로 사용하는 방식이다.

<13> 이 경우, 마이크로프로세서, 기억장치, 입출력장치 등과 같은 시스템 내의 주요 구성요소들이 접속되어, 공유 통신 경로로 사용되는 시스템버스 (System Bus)의 규약은 마이크로 프로세서를 개발한 반도체 회사에서 제공하는 것을 사용하는 것이 일반적이다. 개발자는 이 정해진 규격에 따라 시스템온칩을 설계하여, 외부 인터페이스에 대한 설계 부담을 줄이고, 시스템온칩 프로세서의 개발기간도 단축할 수 있게 된다.

<14> 그러나, 멀티미디어 처리를 위한 다양한 기능의 부가과정에서, 각 기능의 수행을 위한 회로부간에는 사용하는 클럭속도 및 처리속도에 차이가 있게 되고, 이러한 회로부들이 하나의 공유 시스템버스를 사용하는 경우에는, 가장 처리속도가 늦은 회로부의 처리속도에 전체시스템의 동작을 맞추거나, 처리속도가 빠른 회로부의 대기상태 들어나게 되어 전체 시스템 성능은 저하된다.

<15> 특히, 그래픽 신호처리를 수행함에 있어서, 그래픽스 파이프라인에 대한 일련의 처리는 파이프라인 연결로 이루어지기 때문에 한 곳에서라도 처리속도가 늦어지는 부분이 있게 되면 전체 시스템 성능은 저하된다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 기존 반도체 회사의 시스템버스와 새로 설계한 시스템버스간을 인터페이싱하는 수단을 구비하며, 그레

픽 신호를 처리함에 있어서도 어느 한 부분의 속도저하없이 전체 시스템의 성능을 향상 시킬 수 있는 멀티미디어용 시스템온칩 프로세서를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<17> 상기의 목적을 달성하기 위한 본 발명에 따른 멀티미디어용 시스템온칩 프로세서는, 외부로부터 수신되는 영상신호를 압축을 위한 압축입력신호로 변환하는 전 처리기 회로부, 상기 압축입력신호를 압축하여 압축데이터를 생성하고, 상기 압축데이터를 부호화하는 복부호기 회로부, 부호화된 상기 영상신호를 화상표시장치가 사용할 수 있도록 변환처리하는 후처리기 회로부, 상기 화상표시장치로 출력되는 상기 영상신호의 3차원 그래픽연산을 처리하는 그래픽 가속기, 상기 복부호기 회로부와 접속되는 제1 시스템버스, 상기 전처리기 회로부, 상기 후처리기 회로부, 및 상기 그래픽 가속기와 접속되는 제2 시스템버스, 및 상기 회로부들의 동작을 제어하는 제어부를 포함한다. 여기서, 상기 제1 시스템버스 및 상기 제2 시스템버스는 브리지 DMA회로부에 의해 상호간의 데이터 송수신이 가능하다. 여기서, 상기 제1 시스템버스의 클록 주파수는 상기 제2 시스템버스의 클록 주파수보다 높도록 설정되는 것이 바람직하다.

<18> 한편, 상기 그래픽 가속기는, 디스플레이 상에 물체를 표시하기 위해 지오메트리 연산처리를 하는 지오메트리 연산처리부, 및 상기 디스플레이 상에 표시된 물체의 색, 밝기, 도안의 시각적 효과를 위한 랜더링 연산처리를 하는 랜더링 연산처리부를 포함한다.

<19> 한편, 상기 멀티미디어용 시스템온칩 프로세서는, 디스플레이하기 위한 대상물체의 2차원정보를 저장하며, 3차원 그래픽 연산처리된 상기 영상신호의 은면을 소거하는 텍스쳐/픽셀 캐슁을 더 포함한다.

<20> 또한, 상기 멀티미디어용 시스템온칩 프로세서는, 상기 제어부와 상기 제1 시스템 버스 사이에 접속되는 버퍼를 더 포함하며, 상기 버퍼는 상기 그래픽 가속기를 보조하여 그래픽 연산처리될 데이터의 저장이 가능하도록 구현된다. 여기서, 상기 버퍼는 듀얼포터의 SRAM으로 구현된다. 또한, 상기 버퍼는 지오메트리에 대한 정보가 저장된 외부메모리로부터 데이터를 수신할 수 있도록 구현된다. 여기서, 상기 외부메모리는 클럭속도가 상기 제어부와 동기화된 SDRAM으로 구현된다.

<21> 한편, 상기 그래픽 가속기는 상기 버퍼에 직접 액세스하여 저장된 상기 정보를 수신할 수 있도록 구현된다.

<22> 이로써, 멀티미디어용 시스템온칩 프로세서는 제어부에 부담을 주지않고 그래픽 연산처리를 할 수 있게 되어 전체적인 시스템의 성능을 향상시킬 수 있게 된다.

<23> 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

<24> 도 1은 본발명에 따른 멀티미디어용 시스템온칩 프로세서의 주요부분을 나타낸 블럭도이다.

<25> 도면을 참조하면, 멀티미디어용 시스템온칩 프로세서는, 제어부(10), 제1 시스템버스, 제2 시스템버스, 및 주변기기 버스를 구비하며, 각각의 시스템버스는 독립적으로 동작할 수 있도록 구성된다.

<26> 제1 시스템버스에는 제1 SDRM 콘트롤러 회로부(50), 복부호기 회로부(70), 및 패리퍼럴 DMA회로부(80)가 접속되며, 제2시스템버스에는 제2 SDRM 콘트롤러 회로부(20), 전처리기 회로부(30), 및 후처리기 회로부(40)가 접속된다. 주변기기 버스에는 주변기기의

제어를 위한 복수의 주변기기 콘트롤러가 접속된다. 또한, 제어부(10)와 제1시스템버스 사이에는 GBUF(General Buffer)(60)가 접속된다.

<27> 한편, 제1시스템 버스와 제2시스템 버스사이에는 제1브리지 DMA(bridge DMA) 회로부(91)가 접속되고, 제1시스템버스와 주변기기 버스사이에는 제2브리지 DMA 회로부 (90)가 접속된다.

<28> 여기서, 제어부(10)는 시스템온칩 프로세서내의 각 회로부의 제어를 맡는다. 제어부(10)는 제1 시스템버스 제어부(15) 및 제2 시스템버스 중재기(18)를 구비한다. 제1 시스템버스 제어부(15)는 마이크로 프로세서(11), 버스 인터페이스(12), 제1 시스템버스 중재기(13), 및 이들 간을 접속하는 버스를 구비한다. 제1 시스템버스 제어부(15)에 있는 마이크로 프로세서(11)는 멀티미디어용 시스템온칩 프로세서의 구성요소를 전체적으로 제어한다. 마이크로 프로세서(11)는 ARM사(Advanced RISC Machines LTD)의 ARM1020E가 사용될 수 있으며, 이 경우 마이크로 프로세서 (11)와 버스 인터페이스부(12)간에는 ARM 사가 제안한 AMBA (Advanced Micro-controller Bus Architecture)를 사용할 수 있다.

<29> 한편, AMBA는 SDRAM이나 RDRAM(Rambus DRAM)과 같은 메모리가 일반화되기 전에 설계된 버스구조이므로, EDO RAM과 같은 메모리를 사용할 때는 큰 문제가 없지만, 블럭 액세스 메모리를 사용할 때는 성능이 떨어질 수 있다.

<30> 따라서, 버스 인터페이스(12)와 제1 시스템버스 중재기(13) 사이에는 블럭 액세스 메모리를 지원할 수 있는 별도의 버스구조가 사용된다. 버스 인터페이스(12)가 마이크로 프로세서(11)와 제1 시스템버스 중재기(13)간의 버스를 인터페이싱한다. 블럭 액세스 메

모리를 지원할 수 있는 버스시스템에는 기출원된 DOAA(Data Oriented Arbitration Architecture) 버스 등을 이용할 수 있다.

<31> 제1 시스템버스 중재기(13)는 제어부(10), 제1 SDRM콘트롤러 회로부(50), GBUF(60), 복부호기 회로부(70), 페리페럴 DMA회로부(80), 제1 브리지 DMA회로부(91), 제2 브리지 DMA회로부(90) 등의 제1 시스템버스의 사용을 중재한다. 제2 시스템버스 중재기(18)는, 제1 시스템버스 중재기(13)와 독립적으로 동작하도록 구성되며, 제2 SDRM 콘트롤러 회로부(20), 전처리기 회로부(30), 후처리기 회로부(40), 그래픽 가속기(41), 제1 브리지 DMA회로부(91) 등의 제2시스템버스의 사용을 중재한다.

<32> 제어부(10)에 의한 제1 시스템버스 및 제2 시스템버스의 사용이 경합(contention) 되는 경우에, 제1 시스템버스 중재기(13)와 제2 시스템버스 중재기(18)가 버스사용의 우선순위를 정하는 방법에는 여러가지 방식이 사용될 수 있다. 여기서는 데이터 요구량이 많은 회로부에게 버스사용의 우선순위를 부여하는 방식을 취한다.

<33> 전처리기 회로부(30)는 외부로부터 수신되는 영상신호를 비디오 코더(Video coder), 등이 압축할 수 있는 압축입력신호를 만든다. 예컨대, CMOS 이미지 센서 등으로부터 입력되는 신호는 CRT의 특성을 고려하여 감마보정을 거친 뒤, RGB 신호를 YUV 신호로 변화시키며, 외부에서 회도 신호 Y와 색차신호 Cb, Cr 신호로 변환되어 입력되는 신호도 처리할 수 있다. 또, ITU-R (International Telecommunication Union-Radiocommunication Sector ; 국제전기통신연합-무선통신부분) 601, 605 format을 모두 입력받을 수 있으며, 비디오 코더 출력시에도 원하는 포맷으로 출력할 수 있다.

<34> 복부호기 회로부(70)는 입력되는 신호를 압축하여 압축데이터를 생성하고, 압축된 데이터를 신장하여 부호화된 영상신호를 출력한다. 이러한 과정은 디지털 영상신호의 과

다한 데이터량으로 인하여 디지털 영상의 전송 등을 위해서는 영상의 압축이 필요하고, 후에 이를 이용하기 위해서는 압축된 데이터의 신장이 필요하기 때문이다.

<35> 복부호기 회로부(70)는 H.263, MPEG-2, MPEG-4, JPEG 등과 같은 영상압축 표준안인 비디오 코덱(Video CODEC)의 구현을 위하여 많은 연산량을 필요로 하므로, 이러한 연산 처리를 마이크로 프로세서(11)에 맡기지 않고, 자체적으로 처리한다. 이와 같이 연산과정을 하드웨어적으로 처리하여 성능향상을 도모한다.

<36> 제2시스템버스에 접속되는 후처리기 회로부(40)는 부호화된 영상신호를 디스플레이하기 위하여 LCD나 CRT를 제어한다. 후처리기 회로부(40)에는 YUV 신호를 RGB로 변환해주는 단계와, 16 bpp 보다 적은 모드의 그래픽 데이터의 경우 팔레트(palette)를 거치는 부분과, 표현할 수 없는 색상을 추가적으로 표현하기 위한 디더링(dithering) 단계가 포함된다.

<37> 후처리기 회로부(40)는 색 강도(Color depth)를 위해 4, 8, 16, 32 bpp를 지원하며, 디스플레이 장치의 표현 가능한 계조수가 디지털 이미지의 계조수 보다 적을 경우를 위하여 에러 디퓨전(Error Diffusion)기능 및 디더링(dithering)기능을 구비한다.

<38> 그래픽 가속기(41)는 그래픽 처리에 관련된 연산을 하드웨어적으로 처리한다. 일반적으로, 그래픽은 많은 종류의 선과 면으로 이루어지며, 또 각각의 선과 면에 색상이 칠해진다. 이와 같은 그래픽 처리는 많은 연산이 필요로 하는데, 이러한 연산을 마이크로 프로세서(11)가 직접 처리하게 되면 그만큼 전체적인 시스템 처리속도가 현저하게 떨어지게 된다. 그래픽 가속기(41)는 마이크로 프로세서(11)와 분리되어 압축입력신호를 그래픽 연산처리함으로써, 마이크로프로세서(11)의 연산처리 부담을 줄이며 전체적인 시스템의 성능을 높일 수 있도록 한다.

<39> 그래픽 가속기(41)는 디스플레이 장치로 출력되는 영상신호의 2차원/3차원 그래픽 연산을 처리한다. 그래픽 가속기(41)에 의해 수행되는 3차원 그래픽 연산처리로는 지오 메트리 연산처리 및 랜더링 연산처리가 있으며, 이에 대하여는 후술한다.

<40> 제1 시스템버스에 접속된 제1 SDRAM 컨트롤러(50)와, 제2 시스템버스에 접속된 제2 SDRAM 컨트롤러(20)는 외부에 접속되는 SDRAM을 제어한다. 여기서, SDRAM은 2중 인터리빙을 채택하고, 내부 연산을 파이프라인 기법으로 처리함으로써 연산처리 속도를 높인 DRAM이다. SDRAM은 클럭속도가 마이크로 프로세서(11)와 동기화되며 또한, 버스트 모드(burst mode)를 채택하고 있다. 버스트 모드는 일련의 데이터 비트들이 첫번째 비트가 액세스된 다음에 클럭에 맞추어 신속하게 출력되는 방식을 사용하며, 액세스될 모든 비트들이 순서대로 액세스되고 첫번째 비트와 동일한 배열(row)에 있는 경우에 유용하다.

<41> 멀티미디어용 시스템온칩 프로세서는, 제1 시스템버스와 제2 시스템 버스간의 속도 차이를 고려하여 각 시스템버스마다 별도의 SDRAM 컨트롤을 사용하여 데이터를 입출력하게 되므로, 버스사용의 병목현상을 완화할 수 있다. SDRAM에 입출력되는 데이터의 길이는 16 비트 혹은 32 비트 등이 사용될 수 있다.

<42> 제어부(10)와 제1시스템버스사이에 접속되는 GBUF(60)는 마이크로 프로세서(11)의 내부에 구비되는 캐쉬메모리와 유사한 성능의 버퍼로서 지역성의 원리(principle of locality)를 이용하여 기억장치 속도가 가능한 한 가장 빠른 기억장치의 속도에 접근함과 동시에, 저렴한 반도체 기억장치의 가격으로 큰 기억장치 용량을 가질 수 있도록 하기 위한 것이다.

<43> 마이크로 프로세서(11)로 ARM1020E 프로세서를 사용하는 경우, 이 프로세서는 내부적으로 32K 바이트의 데이터 캐시와, 32K 바이트의 인스트럭션 캐시를 구비하고 있다. 따라서, 마이크로 프로세서(11) 내부에 있는 온칩 캐시가 제1차캐시, GBUF(60)가 제2차 캐시역할을 하도록 구성된다. GBUF(60)를 제2차 캐시로 이용되는 대신에, 다른 회로부의 보조 버퍼로 사용될 수도 있다. 즉, GBUF(60)는 그래픽 가속기(41)를 보조하여 그래픽 연산처리될 데이터를 저장할 수도 있다. 여기서, GBUF(60)는 듀얼포터의 SRAM으로 구현되는 것이 바람직하다.

<44> 주변기기 버스에는 복수개의 주변장치 콘트롤러가 접속된다. 여기에는, 일반목적용으로 TIMER 콘트롤러(200), RTC 콘트롤러(205), Interrupt 콘트롤러(210) 등이 있다.

<45> 통신용으로는 UART(Universal Asynchronous Receiver-Transmitter) 콘트롤러(240), IrDA(Infrared Data Association) 콘트롤러(250), I2C(Inter IC Control) 콘트롤러(255), Ethernet 콘트롤러(260) 등이 있다.

<46> 메모리 카드 제어용으로 PCMCIA/CF(Personal Computer Memory Card Interface Association/Compact Flash) 콘트롤러(220), MMC/SD(Multi-Media Card/Secure Disk) 콘트롤러(225), MS(Memory Stick) 콘트롤러(230) 등이 있다.

<47> 그리고, AC'97 콘트롤러(265), 플래시 메모리(Flash memory) 컨트롤러(270)가 있으며, GPIO(General Purpose Input Output) 콘트롤러(235), Touch Screen 을 위한 SSP(Synchronous Serial Protocol) 콘트롤러(275), PS2 콘트롤러(280) 등이 주변기기 버스에 접속되어, 외부에 접속되는 주변기기를 제어한다. 제1시스템 버스에 접속된 페리페리 DMA 회로부(80)는 주변기기를 위한 DMA 용으로 사용된다.

<48> 한편, 제1브리지 DAM(Bridge DMA) 회로부(91)는 제1시스템버스와 제2시스템버스간의 데이터 전송을 담당하고, 제2브리지 DMA 회로부(90)는 제1시스템버스와 주변기기 버스간의 데이터 전송을 담당한다.

<49> 제1시스템버스에 접속된 복부호기 회로부(70)는, 입력되는 영상의 크기 또는 디스플레이 되는 영상의 크기에 크게 영향을 받지 않기 때문에 상대적으로 느린 클럭신호를 사용해도 된다. 이에 반해, 제2시스템 버스에 접속된 LCD/CRT 콘트롤러 회로부(40)는, LCD 및 CRT 두개의 디스플레이장치를 독립적으로 구동해야 하며, LDC나 CRT에 디스플레이되는 영상의 크기가 클 경우에는 빠른 클럭신호를 사용해야 한다. 따라서, 속도가 다른 클럭신호를 사용하여 처리속도에 차이가 있는 회로부가 하나의 시스템버스를 공유하는 경우에는, 낮은 클럭신호를 쓰는 회로부에 전체 시스템의 속도를 맞추거나, 빠른 회로부가 대기상태에 놓이는 경우가 많이 발생하게 되어, 전체 시스템 성능은 떨어지게 된다.

<50> 이러한 이유로, 제1브리지 DMA 회로부(91)는 속도차이가 있는 제1시스템버스와 제2시스템버스간의 데이터 전송을 인터페이싱하여, 각각의 시스템버스가 독립적인 속도로 동작하면서도, 상호간에 원활하게 데이터 교환을 할 수 있도록 한다. 제1브리지 DMA 회로부(91)는 블럭전송을 기본으로 하나, 작은 단위의 데이터 전송도 가능하다.

<51> 마찬가지로, 고속인 제1시스템 버스와 이에 비해 저속인 주변기기 버스사이간에서도 데이터 전송이 필요한 경우, 저속인 주변기기 버스의 속도에 제1시스템버스의 속도를 맞추어야 하므로, 고속인 제1시스템버스에 접속된 회로부는 대기상태에 들어가는 경우가 발생하게 된다. 따라서 두 버스사이에 속도차이를 인터페이싱하기 위해 제1브리지 DMA 회로부 (92)와 같은 구조의 제2브리지 DMA 회로부(90)가 사용된다.

<52> 도 2는 도 1의 멀티미디어용 시스템온칩 프로세서의 상세 블럭도이다.

<53> 도면을 참조하면, 전처리기 회로부(30)는 전처리기(31) 및 비디오/그래픽 스케일러(32)를 구비한다. 전처리기(31)는 외부로부터 입력되는 영상신호를 처리하여 비디오/그래픽 스케일러(32)로 출력하는 경로와, 디지털 영상신호의 압축을 위하여 제1시스템버스(10)로 출력하는 경로 두 가지를 구비한다. 전처리기(31)는, 외부 카메라 등으로부터 입력되는 비디오 신호나 그래픽 데이터를 처리하여 비디오 코더(Video coder) 또는 디스플레이를 위한 압축입력신호를 만든다. 전처리기(31)는 압축입력신호를 비디오/그래픽 스케일러(32)에 전송한다.

<54> 비디오/그래픽 스케일러(32)는 전처리기(31)로부터 수신되는 비디오 신호나 그래픽 데이터의 크기를 사용자에 의해 설정된 크기로 변화시키는 기능을 수행한다. 여기서, 사용자로 하여금 설정데이터를 입력할 수 있도록 사용자 키입력부(도시하지 않음)가 구비되는 것이 바람직하며, 사용자 키입력부는 주변기기버스를 통해 접속될 수 있다. 이로써, 사용자가 디스플레이 상의 원도우를 다양하게 조절할 경우에 하드웨어적으로 대응할 수 있게 된다.

<55> 그래픽 가속기(41)는 텍스쳐/픽셀 캐쉬(43) 및 GBUF(60)와 연결되어 있다. 또한, 그래픽 가속기(41)는 지오메트리에 대한 정보가 저장된 외부메모리와 데이터의 송수신이 가능하도록 구현된다. 여기서는, 제2 SDRAM(308)가 지오메트리에 대한 정보를 저장하고 있으며, 그래픽 가속기(41)는 제2 시스템버스를 통하여 제2 SDRAM(308)과 접속된 것으로 하였다. 여기서, SDRAM(308)는 그래픽 가속기(41)와의 원활한 데이터 송수신을 위하여 제2 시스템버스의 클록 주파수와 동일한 주파수의 클록속도로 제어부(10)와 동기화되는 것이 바람직하다.

<56> 한편, 그래픽 가속기(41)는 지오메트리 연산처리부(41a) 및 랜더링 연산처리부(41b)를 구비한다. 3차원 그래픽 처리는 크게 지오메트리(geometry)와 랜더링(Rendering)으로 나눌 수 있는데, 지오메트리는 스크린 상에 물체를 나타내는 처리를 말하고, 랜더링은 스크린 상에 물체를 나타낼 때에 색, 밝기, 도안 등 시각적 효과를 얻기 위한 처리를 말한다. 랜더링 처리에 있어서는 은면소거와 텍스쳐 처리과정이 있는데, 각각 Z버퍼와 텍스쳐 메모리라 불리는 외부 메모리가 필요하다. 지오메트리 연산처리부(41a)는 입력되는 영상신호의 지오메트리 처리를 하며, 랜더링 연산처리부(41b)는 입력되는 영상신호의 랜더링 연산처리를 수행한다.

<57> 그래픽 가속기(41)는 입력되는 영상신호에 대하여 3차원 그래픽 처리를 수행할 경우에, 제2 시스템버스를 통하여 제2 SDRAM(308)로부터 지오메트리에 대한 정보를 수신한다. 지오메트리 연산처리부(41a)는 수신된 지오메트리 정보에 기초하여 지오메트리 연산처리를 수행한다.

<58> 텍스쳐/픽셀 캐쉬(43)에는 Z버퍼는 Z버퍼(도시하지 않음)와 텍스쳐 메모리(도시하지 않음)가 구비되어 있다. Z버퍼는 2D/3D 그래픽 가속기(41)에서는 표현하지 말해야 할 은면소거를 하며, 텍스쳐 메모리는 디스플레이 대상인 물체의 2D(2Dimension)정보를 저장한다.

<59> GBUF(60)는 마이크로 프로세서(11)의 내부에 구비되는 캐쉬메모리와 유사한 빠른 처리속도를 갖는 듀얼포트(Dual Port)의 SRAM으로 구현된다. GBUF(60)는 마이크로 프로세서(11) 내부의 캐쉬메모리와 연계되어 동작할 수도 있고, 다른 장치의 보조버퍼로서 사용될 수도 있다. 즉, 마이크로 프로세서(11) 내부의 캐쉬메모리 용량보다 실행명령들이 이 많은 경우에 캐쉬메모리의 용량외의 명령을 GBUF(60)에 옮겨 저장할 수 있다. 마이크

로 프로세서(11)는 캐쉬메모리의 일정 영역의 데이터를 한 명령씩 실행하며, 캐쉬메모리 내부에 데이터가 없을 경우 또는 모든 처리가 끝나면 다시 주기억장치에서 다음 블록을 가져온다. 이러한 동작에 GBUF(60)와 같은 버퍼를 이용하면, 캐쉬메모리에 저장된 명령이 실행된 후, 그 외의 명령은 GBUF(60)로부터 바로 실행될 수 있게 됨으로써, 외부 SDRAM과의 통신 즉, 명령실행속도 및 대역폭(bandwidth)을 줄일 수 있고 따라서, 시스템의 전체적인 성능을 높일 수 있게 된다.

<60> 또한, GBUF(60)는 그래픽 가속기(41)를 보조하여 그래픽 연산처리될 영상신호의 데이터를 저장할 수도 있다. 즉, GBUF(60)는 제2 SDRAM(308)로부터 수신된 지오메트리 정보를 저장할 수도 있다. 이 경우, GBUF(60)는 그래픽 가속기(41)와 직접 접속되어 있으므로, 그래픽 가속기(41)는 GBUF(60)에 직접 액세스하여 저장된 지오메트리 정보를 수신할 수도 있다. 따라서, 그래픽 가속기(41)는 외부메모리에의 액세스타임을 줄일 수 있게 되어 시스템의 전체적인 성능향상을 이룰 수 있게 된다.

<61> 한편, 3차원 그래픽 처리의 경우에, 제1 SDRAM(306)에는 질감표현을 위한 텍스쳐 정보와 디스플레이를 위한 프레임 영역에 대한 정보가 저장되며, 제1 SDRAM(306)는 제1 시스템버스에 접속된 GBUF(60)와 데이터를 송수신할 수 있게 된다.

<62> 그래픽 가속기(41)는 GBUF(60)에 직접 접속되며 따라서 GBUF(60)에 직접적인 액세스가 가능하다. 따라서, 그래픽 처리를 수행할 경우에 제2 SDRAM(308)에 저장된 지오메트리 정보를 GBUF(60)에 옮겨 저장시키면, 그래픽 가속기(41)는 제2 SDRAM(308)에의 액세스 속도를 줄일 수 있게 되므로 그래픽 처리속도를 향상시킬

수 있게 된다. 여기서, 제2 시스템버스의 클록 주파수를 제1 시스템버스의 클록 주파수 보다 높게 하면, 그래픽 가속기(41)의 제어부(10)에 대한 억세스 속도를 높일 수 있게 되므로 시스템 전체의 성능을 더욱 향상시킬 수 있게 된다.

<63> LCD/CRT 콘트롤러(44)는 시스템온칩 프로세서의 외부에 연결된 LCD나 CRT에 대한 디스플레이를 제어한다. 여기서, 디스플레이시 LCD와 CRT는 동시에 구동 될 수도 있다.

<64> 복부호기 회로부(70)는, DCT/IDCT(Discrete Cosine Transform/Inverse DCT) 및 Q/IQ(Quantization/Inverse Quantization)(71)와 ME/MC (Motion Estimation/Motion Compensation)(72) 회로로 구성된다.

<65> DCT/IDCT, Q/IQ (71) 회로는, 입력되는 한장의 영상을 8 × 8 화소의 정방형 블럭으로 분할하여, 이산여현변환을 수행하고, 변환 후에 각 계수를 양자화스텝으로 정의된 수로 나누어 나머지를 반올림하는 양자화(quantization) 과정을 거친다. 이러한 과정에 의해 입력되는 신호를 압축할 수 있다.

<66> 압축된 신호를 신장하는 경우에는, 8 × 8 화소블럭의 각 계수에 양자화 스텝을 곱하여 역양자화(Inverse quantization) 과정을 수행하고, 역양자화된 블럭마다 역IDCT (Inverse DCT) 변환과정을 수행한다.

<67> 영상데이터를 압축할 경우, 화면 내에서만 압축하는 방식과 입력되는 화면과 이어지는 화면의 정보 및 상관관계 등을 이용하여 압축하는 방식이 있다. ME/MC (72)회로는 움직임 예측 및 보상에 의해 입력되는 영상 화면과 화면 간의 정보를 이용하여 압축 및 신장을 행한다. 즉 ME 회로는 입력되는 영상신호의 움직임 벡터

를 산출하고, MC 회로는 IDCT 회로에서 생성되는 화소값간의 차분치와 움직임 벡터에 의해 보상된 블럭의 화소값을 이용하여 신장한다. 움직임 예측 및 움직임 보상의 연산처리는 비디오 코덱(Video Codec)에서 가장 많은 연산량을 필요로 하므로, ME/MC (72)는 하드웨어적으로 분리되어 연산처리를 수행한다. 이러한 ME/MC(72) 회로는, DCT/IDCT, Q/IQ (71) 회로와 조합하여 사용된다.

<68> 한편, 파워콘트롤러(Power Controller)(101)는 동작모드에 따라 필요없는 회로부에 공급되는 클럭신호를 차단하고, 필요한 회로부에는 클럭신호를 공급하여 동작하도록 하여, 전체 소모 전력을 줄일 수 있게 한다. 파워콘트롤러(101)가 제1SDRM 콘트롤러 회로부(50)나 제2SDRAM 콘트롤러 회로부(2)의 동작을 정지시키는 경우에는, 저장된 정보를 유지하기 위해 리플래시(refresh)가 필요하므로, 클럭신호가 차단되어 로우(low)로 되는 순간부터 자체 리플래시(self refresh) 모드로 동작하도록 한다. PLL(Phase Locked Loop)(102)은 외부에서 인가되는 클럭신호를 나누어서, 클럭이 필요한 회로에 공급하는 역할을 하는데, 파워컨트롤러(101)의 제어를 받고, 시스템 콘트롤러(104)는 외부에 연결되는 카메라, LCD 등의 주변기기들이 동작할 수 있는 환경을 제공한다. Counter/Timer(103)는 마이크로 프로세서(11) 동작시 필요한 신호를 제공한다.

<69> 도 1 및 도 2에서 설명한, 본 발명에 따른 멀티미디어용 시스템온칩 프로세서에서의 동작과정을 예를 들면 다음과 같다.

<70> 먼저, CMOS 이미지 센서(305)를 통해 입력되는 영상신호는 전처리기(31)에서 압축 처리가 가능한 압축입력신호로 변경되고, 변경된 압축입력신호들은 제1브리지

DMA 회로부(91)를 통해 복부호기 회로부(70)로 전달된다. 복부호 회로부(70)에서는 입력된 신호에 대하여 압축 및 신장과정을 거치게 되고, 이 과정을 거친 데이터는 다시 제1 브리지 DMA 회로부(91)를 통해 LCD/CRT 콘트롤러 회로부(40)에 전달된다.

<71> LCD/CRT 콘트롤러 회로부(40)에서는 입력되는 데이터를 처리하여 LDC(302)에 디스플레이 하고, 이와 동시에 DAC(Digital-to-Analog Converter)(303)을 거쳐 CRT(304)에도 디스플레이할 수 있다. 이러한 처리과정 중에서, 데이터의 저장 및 입출력이 필요한 경우에는 제1SDRAM 콘트롤러 회로부(50)나 제2SDRAM 콘트롤러 회로부(20)에 의해 외부의 제1SDRAM(306)이나 제2SDRAM(308)을 사용한다.

<72> 외부기기의 제어가 필요한 경우에는 마이크로 프로세서(11) 등은 제1시스템버스(10)와 제2브리지 DMA 회로부(90)를 통해 필요한 데이터를 주변기기 버스로 보내서, 필요한 주변기기 콘트롤러가 동작되도록 한다.

<73> 마이크로 프로세서(11)의 동작 중에 GBUF(60)가 사용될 수 있다. 또, 마이크로 프로세서(11)가 명령을 해석하여 수행하는 중에, 독립적인 기능을 갖는 회로부가 처리할 수 있는 명령어를 만나게 되면, 이를 해당 회로부가 알려서, 하드웨어적으로 처리되도록 한다. 이에 의해 시스템온칩의 성능은 향상될 수 있다.

<74> 본 발명에 따른 멀티미디어용 프로세서는, 3차원 그래픽 연산처리를 마이크로 프로세서와 독립적으로 처리하기 때문에 마이크로 프로세서의 부담을 줄일 수 있게 된다.

【발명의 효과】

<75> 본 발명에 의한 시스템온칩 프로세서에 따르면, 입력되는 영상신호에 대하여 3차원 그래픽 연산처리를 마이크로 프로세서와 독립적으로 수행하기 때문에, 마이크로 프로세서의 부담을 줄여 전체적인 시스템의 성능을 향상시킬 수 있게 된다.

<76> 이상에서는 본 발명의 바람직한 실시예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경을 청구범위 기재의 범위 내에 있게 된다.

【특허청구범위】**【청구항 1】**

외부로부터 수신되는 영상신호를 압축을 위한 압축입력신호로 변환하는 전처리기 회로부;

상기 압축입력신호를 압축하여 압축데이터를 생성하고, 상기 압축데이터를 부호화하는 복부호기 회로부;

부호화된 상기 영상신호를 화상표시장치가 사용할 수 있도록 변환처리하는 후처리기 회로부;

상기 화상표시장치로 출력되는 상기 영상신호의 3차원 그래픽연산을 처리하는 그 래픽 가속기;

상기 복부호기 회로부와 접속되는 제1 시스템버스;

상기 전처리기 회로부, 상기 후처리기 회로부, 및 상기 그레픽 가속기와 접속되는 제2 시스템버스; 및

상기 회로부들의 동작을 제어하는 제어부;를 포함하며, 상기 제1 시스템버스 및 상기 제2 시스템버스는 브리지 DMA회로부에 의해 상호간의 데이터 송수신이 가능한 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【청구항 2】

제 1항에 있어서,

상기 제1 시스템버스의 클록 주파수는 상기 제2 시스템버스의 클록 주파수보다 높 은 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【청구항 3】

제 1항에 있어서, 상기 그래픽 가속기는,
디스플레이 상에 물체를 표시하기 위해 지오메트리 연산처리를 하는 지오메트리
연산처리부; 및
상기 디스플레이 상에 표시된 물체의 색, 밝기, 도안의 시각적 효과를 위한 랜더링
연산처리를 하는 랜더링 연산처리부;를 포함하는 것을 특징으로 하는 멀티미디어용 시스
템온칩 프로세서.

【청구항 4】

제 3항에 있어서,
디스플레이하기 위한 대상물체의 2차원정보를 저장하며, 3차원 그래픽 연산처리된
상기 영상신호의 은면을 소거하는 텍스쳐/픽셀 캐쉬를 더 포함하는 것을 특징으로 하는
멀티미디어용 시스템온칩 프로세서.

【청구항 5】

제 4항에 있어서,
상기 제어부와 상기 제1 시스템버스 사이에 접속되는 버퍼를 더 포함하며,
상기 버퍼는 상기 그래픽 가속기를 보조하여 그래픽 연산처리될 데이터의 저장이
가능한 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【청구항 6】

제 5항에 있어서,

상기 베퍼는 듀얼포터의 SRAM으로 구현된 것을 특징으로 하는 멀티미디어용 시스템 온칩 프로세서.

【청구항 7】

제 5항에 있어서,

상기 베퍼는 지오메트리에 대한 정보가 저장된 외부메모리로부터 데이터를 수신할 수 있도록 구현된 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【청구항 8】

제 7항에 있어서,

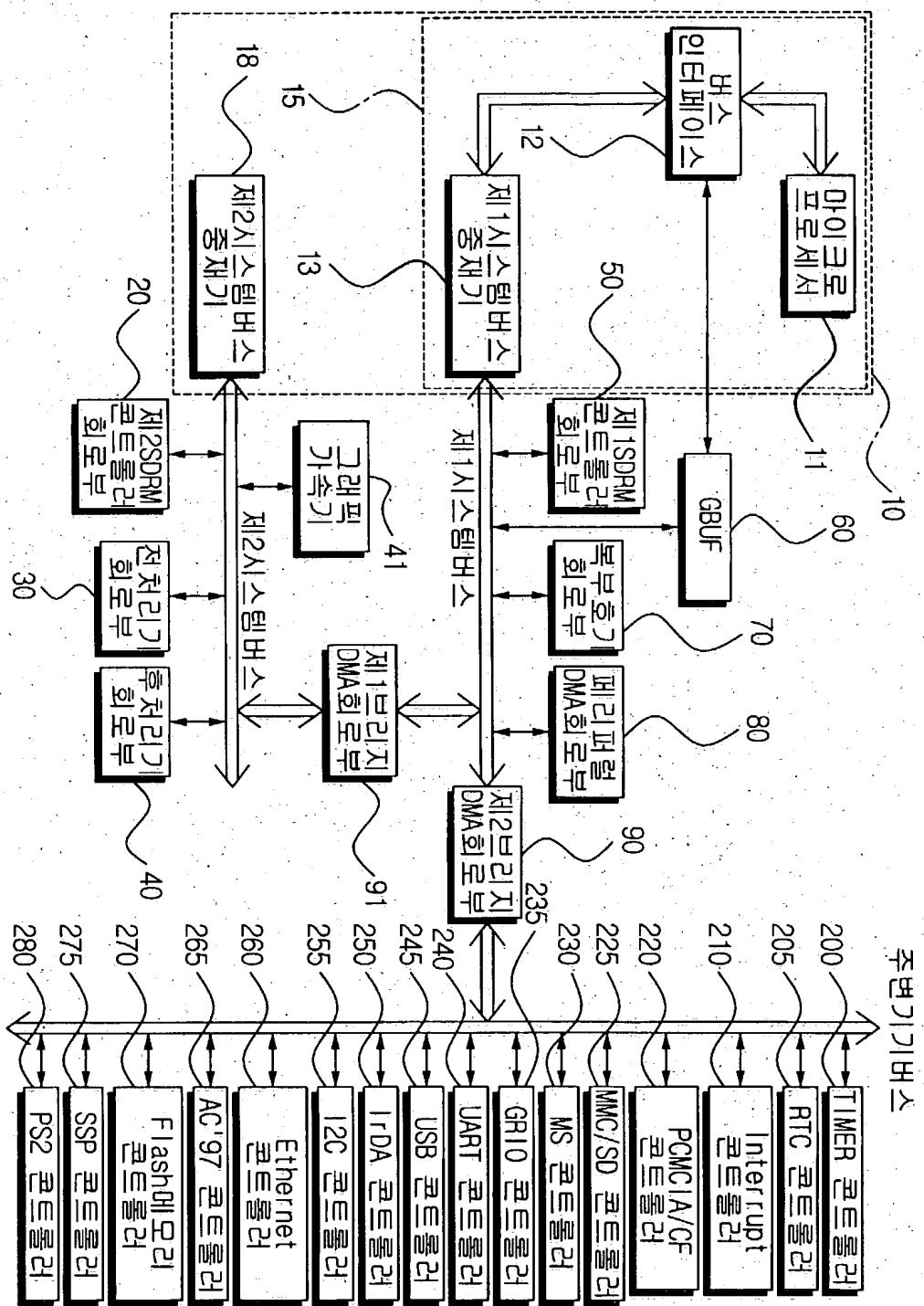
상기 외부메모리는 클럭속도가 상기 제어부와 동기화된 SDRAM인 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【청구항 9】

제 7항에 있어서,

상기 그래픽 가속기는 상기 베퍼에 직접 억세스하여 저장된 상기 정보를 수신할 수 있는 것을 특징으로 하는 멀티미디어용 시스템온칩 프로세서.

【도 1】



[2]

